

PATENT  
2557-000156/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Sang-Joon HWANG                      Conf: Unknown  
Application No.: New Application                      Group: Unknown  
Filed: July 14, 2003                      Examiner: Unknown  
For: **SEMICONDUCTOR MEMORY HAVING SENSE AMPLIFIER  
ARCHITECTURE**

**PRIORITY LETTER**

July 14, 2003

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

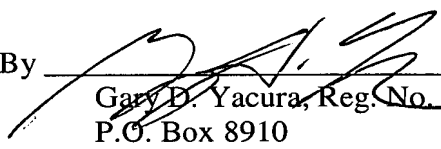
<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2003-0016304	March 15, 2003	KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By

  
\_\_\_\_\_  
Gary D. Yacura, Reg. No. 35,416  
P.O. Box 8910  
Reston, Virginia 20195  
(703) 668-8000

GDY:me

**KOREAN INDUSTRIAL  
PROPERTY OFFICE**

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

Application Number:       **2003-0016304**

Date of Application:       **15 March 2003**

Applicant(s):               **Samsung Electronics Co., Ltd.**

**27 June 2003**

**COMMISSIONER**

## PATENT APPLICATION

[Document Name] Patent Application

[Application Type] Patent

[Receiver] Commissioner

[Reference No.] 0024

[Filing Date] 2003.03.15.

[IPC] H01L

[Title] Multibank Memory Device Having Voltage Sense Amplifier and Current Sense Amplifier of Data Lines

[Applicant]

Name: Samsung Electronics Co., Ltd.  
Applicant code: 1-1998-104271-3

[Attorney]

Name: Young-pil Lee  
Attorney's code: 9-1998-000334-6  
Reg. No. of General Power of Attorney: 1999-009556-9

Name: Sang-bin Jeong  
Attorney's code: 9-1998-000541-1  
Reg. No. of General Power of Attorney: 1999-009617-5

[Inventor]

Name: Sang-joon Hwang  
I.D. No. 720104-1630518  
Zip Code: 133-091  
Address: 204-1302, Samsung Raemian Apt., 1-ga,  
Geumho-dong, Seongdong-gu, Seoul,  
Republic of Korea  
Nationality: Republic of Korea

[Request for Examination] Requested

[Application Order] We respectively submit an application according to Art. 42 of the Patent Law and as above.

Attorney  
Attorney

Young-pil Lee (seal)  
Sang-bin Jeong (seal)

[Fee]

Basic page:	20 Sheet(s)	29,000 won
Additional page:	5 Sheet(s)	5,000 won
Priority claiming fee:	0 Case(s)	0 won
Examination fee:	9 Claim(s)	397,000 won
Total:		431,000 won

[Enclosures]

1. Abstract and Specification (and Drawings) 1 copy each



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0016304  
Application Number

출원 년 월 일 : 2003년 03월 15일  
Date of Application MAR 15, 2003

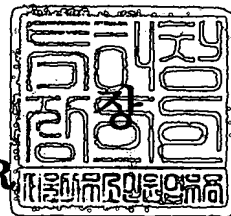
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 27 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0024
【제출일자】	2003.03.15
【국제특허분류】	H01L
【발명의 명칭】	데이터 라인 상에 전압 감지 증폭기와 전류 감지 증폭기를 갖는 멀티뱅크 메모리 장치
【발명의 영문명칭】	Multibank memory device having voltage sense amplifier and current sense amplifier of data lines
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	황상준
【성명의 영문표기】	HWANG, Sang Joon
【주민등록번호】	720104-1630518
【우편번호】	133-091
【주소】	서울특별시 성동구 금호동1가 삼성래미안아파트 204-1302
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 5 면 5,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 9 항 397,000 원

【합계】 431,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

데이터 라인 상에 전압 감지 증폭기와 전류 감지 증폭기를 갖는 멀티 बैं크 메모리 장치가 개시된다. 본 발명의 멀티 बैं크 메모리 장치는 데이터 라인의 길이가 긴 बैं크의 메모리 셀 데이터들이 전류 감지 증폭기에 의해 감지 증폭되고, 데이터 라인의 길이가 짧은 बैं크의 메모리 셀 데이터들은 전압 감지 증폭기에 의해 감지 증폭된다. 따라서, 본 발명에 의하면, 데이터 라인의 길이에 따라 데이터 라인 감지 증폭기를 전압 감지 증폭기와 전류 감지 증폭기로 구분하여 사용하기 때문에, 소비 전력을 줄이고 데이터 라인 길이에 상관없이 거의 동일한 센싱 속도를 갖게 된다.

**【대표도】**

도 3

**【색인어】**

데이터 라인 길이, 소비 전력, 전류 감지 증폭기, 전압 감지 증폭기,



**【명세서】****【발명의 명칭】**

데이터 라인 상에 전압 감지 증폭기와 전류 감지 증폭기를 갖는 멀티 뱅크 메모리 장치{Multibank memory device having voltage sense amplifier and current sense amplifier of data lines}

**【도면의 간단한 설명】**

도 1은 종래의 멀티 뱅크 메모리 장치를 설명하는 도면이다.

도 2는 전류 감지 증폭기를 설명하는 도면이다.

도 3은 본 발명의 제1 실시예에 따른 멀티 뱅크 메모리 장치를 설명하는 도면이다.

도 4는 전압 감지 증폭기를 설명하는 도면이다.

도 5는 본 발명의 제2 실시예에 따른 멀티 뱅크 메모리 장치를 설명하는 도면이다.

도 6은 본 발명의 제3 실시예에 따른 멀티 뱅크 메모리 장치를 설명하는 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 데이터 라인 상에 전압 감지 증폭기와 전류 감지 증폭기를 갖는 멀티 뱅크 메모리 장치에 관한 것이다.

<8> 고용량의 데이터 저장 능력을 갖으면서 한번에 입출력되는 데이터량이 큰 반도체 메모리 장치에 대한 요구에 따라, 다수개의 뱅크들로 구성되는 메모리 장치가 개발되고 있다.

- <9> 도 1은 종래의 멀티 뱅크 메모리 장치를 설명하는 도면이다. 이를 참조하면, 멀티 뱅크 메모리 장치(100)는 제1 내지 제4 메모리 뱅크들(BANK1, BANK2, BANK3, BANK4)이 배열된 다수개의 메모리 블록들(110, 130, 150, 170)을 포함한다. 메모리 뱅크들(BANK1, BANK2, BANK3, BANK4)에는 복수개의 메모리 셀(MC)들이 행들 및 열들로 배열된다. 독출 동작에 있어서, 소정의 어드레스에 의해 선택된 각 메모리 뱅크들(BANK1, BANK2, BANK3, BANK4)의 메모리 셀(MC) 데이터들은 제1 데이터 라인들(DL1, DL2, DL3, DL4)로 실린다. 만약 선택된 뱅크가 제1 뱅크(BANK1)라면, 제1 내지 제4 메모리 블록 내의 제1 뱅크들(BANK1)에서 메모리 셀(MC) 데이터들이 제1 데이터 라인(DL1)으로 전달된다.
- <10> 제1 데이터 라인들(DL1, DL2, DL3, DL4)은 멀티플렉서들(MUX, 112, 114, 116, 118)을 통하여 제2 데이터 라인(FDL)과 연결된다. 멀티플렉서(112)는 선택된 뱅크, 예컨대 제1 뱅크(BANK1)의 메모리 셀(MC) 데이터를 제2 데이터 라인(FDL)으로 전송하고, 나머지 멀티플렉서들(114, 116, 118)은 제1 데이터 라인들(DL2, DL3, DL4)과 제2 데이터 라인(FDL)과의 연결을 차단한다.
- <11> 제2 데이터 라인(FDL)으로 전달된 메모리 셀(MC) 데이터는 데이터 라인 감지 증폭기(120)를 통해 감지 증폭된 후 데이터 패드(DQi, DQj, DQk, DQl)로 출력된다. 데이터 라인 감지 증폭기(120)는 통상적으로 전류 감지 증폭기와 전압 감지 증폭기로 구성되는데, 제2 데이터 라인(FDL)의 전류 차에 의해 발생하는 전압을 감지 증폭한다.
- <12> 도 2는 데이터 라인 감지 증폭기를 설명하는 도면이다. 이를 참조하면, 데이터 라인 감지 증폭기(120)는 전류 감지 증폭기(210)와 전압 감지 증폭기(220)를 포함한다. 전류 감지 증폭기(210)는 전류 감지 인에이블 신호(LD\_EN)에 응답하는 로드 트랜지스터부(212)를 구비하여 제2 데이터 라인 쌍(FDL, /FDL)으로 일정 전류를 흘린다. 전류 감지

증폭기(210)의 센싱 동작 이전에, 노드 A와 노드 B는 동일한 전압 레벨이다. 그리고 전압 감지 인에이블 신호(EN)의 비활성화 동안, 전압 감지 증폭기(220)의 노드 C와 노드 D도 동일한 전압 레벨을 갖는다.

<13> 메모리 셀(MC) 데이터를 감지 증폭하는 비트라인 감지 증폭기(BL S/A)의 동작에 의해 제2 데이터 라인 쌍(FDL, /FDL)에 전류 차이가 발생한다. 메모리 셀(MC) 데이터가 로직 하이레벨이고 비트라인(BL)도 로직 하이레벨이면, 상보 제2 데이터 라인(/FDL)으로 흐르는 전류는 제2 데이터 라인(/FDL)으로 흐르는 전류 보다 적다. 이에 따라 노드 A의 전압 레벨은 높아지고 노드 B의 전압 레벨은 낮아진다. 그리고 노드 C의 전압 레벨은 로직 로우레벨이 되고 노드 D의 전압 레벨은 로직 하이레벨이 되어, 출력 데이터(DOUT)는 로직 하이레벨이 된다.

<14> 이에 대하여, 메모리 셀(MC) 데이터가 로직 로우레벨이고 비트라인(BL)도 로직 로우레벨이면, 상보 제2 데이터 라인(/FDL)으로 흐르는 전류는 제2 데이터 라인(/FDL)으로 흐르는 전류 보다 많다. 이에 따라, 노드 A는 로직 로우레벨로, 노드 B는 로직 하이레벨로, 노드 C는 로직 하이레벨로, 그리고 노드 D는 로직 로우레벨이 되어, 출력 데이터(DOUT)는 로직 로우레벨로 발생된다.

<15> 이러한 데이터 라인 감지 증폭기(120)의 전류 감지 증폭기(210)는 데이터 센싱 속도가 빠르다는 장점을 가지는 대신에, 전원 전압(VDD)과 연결되는 로드 트랜지스터들(214, 216)을 통해 항상 일정 전류를 공급해야 하기 때문에 전류 소비가 크다는 문제점을 안고 있다.

<16> 한편, 핸드폰, PCS(Personal CommunicatDLn Service), PDA(Personal Digital Assistant), 개인 휴대용 단말기 등의 모바일 제품은 자체 소비 전력이 낮을 것이 요구

된다. 도 1처럼, 데이터 라인에 전류 감지 증폭기를 채용하는 메모리 장치는 전류 소비가 크기 때문에 모바일 제품들의 저소비 전력을 만족시키기에 부적합하다.

<17> 따라서, 저소비 전력을 만족하는 메모리 장치가 필요하다.

**【발명이 이루고자 하는 기술적 과제】**

<18> 본 발명의 목적은 저소비 전력을 만족하는 멀티 뱅크 메모리 장치를 제공하는 데 있다.

<19> 본 발명의 다른 목적은 데이터 라인 상에 균일한 센싱 속도를 갖는 멀티 뱅크 메모리 장치를 제공하는 데 있다.

**【발명의 구성 및 작용】**

<20> 상기 목적을 달성하기 위하여, 본 발명의 일예에 따른 멀티 뱅크 메모리 장치는 복수개의 메모리 셀들이 배열되고, 메모리 셀들의 데이터들이 데이터 라인들로 출력되는 제1 및 제2 뱅크들; 제1 뱅크의 데이터 라인에 연결되고, 메모리 셀 데이터를 감지 증폭하여 데이터 패드로 출력하는 전압 감지 증폭기; 및 제2 뱅크의 데이터 라인에 연결되고, 메모리 셀 데이터를 감지 증폭하여 상기 데이터 패드로 출력하는 전류 감지 증폭기를 포함하고, 제2 뱅크의 데이터 라인 길이가 제1 뱅크의 데이터 라인 길이보다 긴 것이 특징이다.

<21> 상기 목적을 달성하기 위하여, 본 발명의 다른 예에 따른 메모리 장치는 복수개의 메모리 셀들이 배열되고, 메모리 셀들의 데이터가 제1 데이터 라인들을 통해 각각 출력되는 제1 내지 제4 뱅크; 뱅크들을 선택하는 선택 신호들에 응답하여, 해당 뱅크들의 제1 데이터 라인들을 제2 데이터 라인들로 연결시키는 제1 멀티플렉서들; 제2 데이터 라

인과 연결되고, 제2 데이터 라인으로 전달된 제1 및 제3 뱅크의 상기 메모리 셀 데이터들을 감지 증폭하여 데이터 패드로 출력하는 전압 감지 증폭기; 및 제2 데이터 라인과 연결되고, 제2 데이터 라인으로 전달된 제2 및 제4 뱅크의 메모리 셀 데이터를 감지 증폭하여 데이터 패드로 출력하는 전류 감지 증폭기를 포함하고, 제2 및 제4 뱅크의 제1 데이터 라인 길이가 제1 및 제3 뱅크의 제1 데이터 라인 길이 보다 긴 것이 특징이다.

<22> 바람직하기로, 전압 감지 증폭기와 데이터 패드 사이에, 그리고 전류 감지 증폭기와 데이터 패드 사이에 각각 연결되는 제2 멀티플렉서들을 더 포함하고, 제2 멀티플렉서들은 제1 또는 제3 뱅크를 선택하는 신호와 제2 또는 제4 뱅크를 선택하는 신호에 응답하여, 전압 감지 증폭기와 전류 감지 증폭기 출력을 데이터 패드로 선택적으로 전달한다.

<23> 상기 목적을 달성하기 위하여, 본 발명의 또다른 예에 따른 멀티 뱅크 메모리 장치는 멀티 뱅크 메모리 장치의 중앙부에 배열되는 상단부 및 하단부 데이터 패드들; 복수 개의 메모리 셀들이 배열된 메모리 블록이 상단부 및 하단부 메모리 블록으로 나뉘어지고, 상단부 및 하단부 메모리 블록의 메모리 셀 데이터들이 상단부 및 하단부 데이터 라인들을 통해 각각 출력되는 제1 내지 제4 뱅크; 뱅크들을 선택하는 선택 신호들에 응답하여, 해당 뱅크들의 상단부 데이터 라인들을 제1 데이터 라인들로, 그리고 하단부 데이터 라인들을 제2 데이터 라인으로 연결시키는 제1 멀티플렉서들; 제1 데이터 라인과 연결되고, 제1 데이터 라인으로 전달된 상단부 메모리 블록의 메모리 셀 데이터들을 감지 증폭하여 상단부 데이터 패드로 출력하는 전압 감지 증폭기; 및 제2 데이터 라인과 연결되고, 제2 데이터 라인으로 전달된 하단부 메모리 블록의 메모리 셀 데이터를 감지 증폭

하여 하단부 데이터 패드로 출력하는 전류 감지 증폭기를 포함하고, 상단부 데이터 라인 길이가 하단부 데이터 라인 길이 보다 긴 것이 특징이다.

<24>        상기 목적을 달성하기 위하여, 본 발명의 더욱 다른 멀티 뱅크 메모리 장치는 멀티 뱅크 메모리 장치의 중앙부에 배열되는 상단부 및 하단부 데이터 패드들; 복수개의 메모리 셀들이 배열된 메모리 블록이 상단부 및 하단부 메모리 블록으로 나뉘어지고, 상단부 및 하단부 메모리 블록의 메모리 셀 데이터들이 상단부 및 하단부 데이터 라인들을 통해 각각 출력되는 제1 내지 제4 뱅크들; 뱅크들을 선택하는 선택 신호들에 응답하여, 해당 뱅크들의 상단부 데이터 라인들을 제1 데이터 라인들로, 그리고 하단부 데이터 라인들을 제2 데이터 라인으로 연결시키는 제1 멀티플렉서들; 제1 데이터 라인과 연결되고, 제1 데이터 라인으로 전달된 상기 상단부 메모리 블록의 상기 메모리 셀 데이터들을 감지 증폭하는 전압 감지 증폭기들; 제2 데이터 라인과 연결되고, 제2 데이터 라인으로 전달된 하단부 메모리 블록의 메모리 셀 데이터를 감지 증폭하는 전류 감지 증폭기들; 및 전압 감지 증폭기들과 하단부 데이터 패드 사이에, 그리고 전류 감지 증폭기들과 상단부 데이터 패드 사이에 연결되고, 제1 또는 제2 뱅크 선택 신호에 응답하여 전압 감지 증폭기 출력을 하단부 데이터 패드로 전송하고, 제3 또는 제4 뱅크 선택 신호에 응답하여 전류 감지 증폭기 출력을 상단부 데이터 패드로 전송하는 제2 멀티플렉서들을 포함하고, 상단부 데이터 라인 길이가 하단부 데이터 라인 길이 보다 긴 것이 특징이다.

<25>        따라서, 본 발명에 의하면, 데이터 라인의 길이에 따라 데이터 라인 감지 증폭기를 전압 감지 증폭기와 전류 감지 증폭기로 구분하여 사용하여, 소비 전력을 줄이고 데이터 라인 길이에 상관없이 거의 동일한 센싱 속도를 갖게 된다.

- <26>      본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <27>      이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <28>      도 3은 본 발명의 일실시예에 따른 멀티 뱅크 메모리 장치를 설명하는 도면이다. 이를 참조하면, 메모리 장치(300)에는 다수개의 뱅크들(BANK1, BANK2, BANK3, BANK4)을 포함하는 메모리 블록들(110, 130, 150, 170)이 배열된다. 본 실시예에서는 도 1과 마찬가지로 4개의 뱅크들(BANK1, BANK2, BANK3, BANK4)이 배열된 4개의 메모리 블록들(110, 130, 150, 170)에 대하여 기술된다.
- <29>      하나의 메모리 블록, 대표적으로 제1 메모리 블록(110)을 살펴보면, 각각의 뱅크들(BANK1, BANK2, BANK3, BANK4)에 연결된 제1 내지 제4 데이터 라인들(DL1, DL2, DL3, DL4)이 제1 멀티플렉서들(312, 314, 316, 318)을 통해 제2 데이터 라인(FDL1, FDL2)과 연결된다. 제2 데이터 라인(FDL1)은 제1 멀티플렉서들(312, 316)과 연결되고 제1 데이터 라인 감지 증폭기(320)와 연결된다. 제2 데이터 라인(FDL2)은 제1 멀티플렉서들(314, 318)과 연결되고 제2 데이터 라인 감지 증폭기(322)와 연결된다.
- <30>      제1 데이터 라인 감지 증폭기(320)는 제1 멀티플렉서들(312, 316)을 통해 제1 및 제3 뱅크(BANK1, BANK3)의 제1 데이터 라인(DL1, DL3)과 연결된다. 제2 데이터 라인 감지 증폭기(322)는 제1 멀티플렉서들(314, 318)을 통해 제2 및 제4 뱅크(BANK2, BANK4)의 제1 데이터 라인(DL2, DL4)과 연결된다.

- <31> 본 실시예에서, 제1 데이터 라인들(DL2, DL4)은 제1 데이터 라인들(DL1, DL3)에 비하여 상대적으로 길다. 라인 길이가 긴 제1 데이터 라인(DL2, DL4)이 연결되는 제2 데이터 라인 감지 증폭기(322)는 전류 감지 증폭기로 구성되며 도 2의 데이터 라인 감지 증폭기(120)과 동일하다. 라인 길이가 짧은 제1 데이터 라인(DL1, DL3)이 연결되는 제1 데이터 라인 감지 증폭기(320)는 전압 감지 증폭기로 구성된다.
- <32> 제2 멀티플렉서들(330, 332)은 제1 및 제2 데이터 라인 감지 증폭기(320, 322)에서 출력되는 제3 데이터 라인 입출력 라인(SDL)을 선택적으로 데이터 패드(DQi)과 연결시킨다. 제2 멀티플렉서들(330, 332)은 제3 데이터 라인(SDL)을 선택적으로 차단하여 데이터 패드(DQi)의 라인 부하를 줄인다.
- <33> 위에서 설명한 제1 메모리 블록(110)과 동일하게 제2, 제3, 그리고 제4 메모리 블록들(130, 150, 170)도 구성되어 데이터 패드들(DQj, DQk, DQl)에 각각 연결된다.
- <34> 도 4는 발명의 일실시예에 따른 전압 감지 증폭기인 제1 데이터 라인 감지 증폭기를 설명하는 도면이다. 이를 참조하면, 제1 데이터 라인 감지 증폭기(320)는 제2 데이터 라인(FDL1, /FDL1) 상의 전압 레벨 차이를 감지 증폭하여 그 출력 데이터(DOUT)를 발생시킨다. 제2 데이터 라인 쌍(FDL1, /FDL1)은 बैं크들(BANK1, BANK2, BANK3, BANK4) 내 메모리 셀들이 연결된 비트라인 쌍(BL, /BL)의 전압 레벨을 감지 증폭하는 비트 라인 감지 증폭기(BL S/A)와 연결된다.
- <35> 전압 감지 인에이블 신호(EN)의 비활성화 동안, 노드 E와 노드 F는 동일하게 전원 전압(VDD) 레벨이다. 전압 감지 인에이블 신호(EN)의 활성화에 응답하여 제1 데이터 라인 감지 증폭기(320)가 인에이블되고, 제1 데이터 라인 쌍(FDL1, /FDL1)의 전압 레벨 차이에 의해 노드 E와 노드 F의 전압 레벨이 변한다.



<36> 만약, 제1 데이터 라인(FDL1)의 전압 레벨이 상보 제1 데이터 라인(/FDL1)의 전압 레벨 보다 높으면, 노드 E는 로직 로우레벨로, 그리고 노드 F는 로직 하이레벨로 발생된다. 이에 따라, 제1 데이터 라인 감지 증폭기(320)의 출력(DOUT)은 로직 하이레벨로 발생된다. 이에 대하여, 제1 데이터 라인(FDL1)의 전압 레벨이 상보 제1 데이터 라인(/FDL1)의 전압 레벨 보다 낮으면, 노드 E는 로직 하이레벨로, 노드 F는 로직 로우레벨로, 그리고 제1 데이터 라인 감지 증폭기(220)의 출력(DOUT)은 로직 로우레벨로 발생된다.

<37> 다시, 도 3으로 돌아가서, 제1 및 제2 데이터 라인 감지 증폭기(320, 322)의 출력(DOUT)은 제2 멀티플렉서들(330, 332)을 통해 선택적으로 데이터 패드들(DQi, DQj, DQk, DQl)로 출력된다.

<38> 따라서, 본 실시예의 메모리 장치는 데이터 라인 감지 증폭기를 제1 데이터 라인(DL1, DL2, DL3, DL4)의 길이에 따라 전류 소모가 작은 전압 감지 증폭기(320)와 전류 소모가 큰 전류 감지 증폭기(322)를 사용함으로써, 종래의 데이터 라인 감지 증폭기로 전류 소모가 큰 전류 감지 증폭기만을 사용하던 메모리 장치에 비해 소비 전력을 줄일 수 있다.

<39> 그리고, 본 실시예에 의하면, 상대적으로 긴 제1 데이터 라인(DL2, DL4)을 갖는 제2 및 제4 뱅크들(BANK2, BANK4)은 센싱 속도가 빠른 데이터 라인 전류 감지 증폭기(322)에 연결시켜, 제1 데이터 라인(DL2, DL4) 부하로 인해 센싱 속도가 느려지는 문제점을 해결한다. 그리고 상대적으로 짧은 제1 데이터 라인(DL1, DL3)을 갖는 제1 및 제3 뱅크들(BANK1, BANK3)은 센싱 속도가 다소 느린 제1 데이터 라인 전압 감지 증폭기(320)에

연결시킨다. 이에 따라, 제1 내지 제4 뱅크들(BANK1, BANK2, BANK3, BANK4)은 제1 데이터 라인의 길이에 상관없이 거의 같은 센싱 속도를 갖게 된다.

<40> 도 5는 본 발명의 제2 실시예에 따른 메모리 장치를 설명하는 도면이다. 이를 참조하면, 메모리 장치(500)는 상단부 DQ 블록(510, 520, 530, 540)과 하단부 DQ 블록(512, 522, 532, 542)으로 나뉘어진 제1 내지 제4 뱅크(BANK1, BANK2, BANK3, BANK4)를 포함한다. 메모리 장치(500)의 중앙에 데이터 패드들(DQ1, ..., DQ5, ...)이 배열되는 데, 설명의 편의를 위하여, 하단부 데이터 패드들(DQ1, ...)과 상단부 데이터 패드들(DQ5, ...)로 구분하여 설명한다. 상단부 DQ 블록(510, 520, 530, 540)과 하단부 DQ 블록(512, 522, 532, 542)은 메모리 장치(500)가 로우 방향, 즉 워드라인을 인에이블시키는 방향으로 액티베이션(Row Activation)될 때 동시에 활성화되는 블록들이다.

<41> 상단부 DQ 블록들(510, 520, 530, 540)은 멀티플렉서들(552, 556, 562, 566)과 제2 데이터 라인 감지 증폭기(572)를 통해 상단부 데이터 패드들(DQ5, ...)에 연결된다. 하단부 DQ 블록들(512, 522, 532, 542)은 멀티플렉서들(550, 554, 560, 564)과 제1 데이터 라인 감지 증폭기(570)를 통해 하단부 데이터 패드들(DQ1, ...)에 연결된다. 멀티플렉서들(552, 556, 562, 566)은 해당 뱅크 선택 신호(BA1, BA2, BA3, BA4)에 응답하여 상단부 데이터 라인들(DL1\_U, DL2\_U, DL3\_U, DL4\_U)을 제2 데이터 라인 감지 증폭기(572)에 연결시킨다. 멀티플렉서들(550, 554, 560, 564)은 해당 뱅크 선택 신호(BA1, BA2, BA3, BA4)에 응답하여 하단부 데이터 라인들(DL1\_L, DL2\_L, DL3\_L, DL4\_L)을 제1 데이터 라인 감지 증폭기(570)에 연결시킨다.

<42> 상단부 DQ 블록(510, 520, 530, 540)에서 메모리 셀 데이터들이 실리는 상단부 데이터 라인(DL1\_U, DL2\_U, DL3\_U, DL4\_U)의 길이는 하단부 블록(512, 522,

532, 542)에서 메모리 셀 데이터들이 실리는 하단부 데이터 라인(DL1\_L, DL2\_L, DL3\_L, DL4\_L)의 길이 보다 상대적으로 길다. 상단부 DQ 블록(510, 520, 530, 540)에서 출력되는 메모리 셀 데이터들은 전류 감지 증폭기와 전압 감지 증폭기로 구성되는 제2 데이터 라인 감지 증폭기(572)에 의해 감지 증폭되고, 하단부 DQ 블록(512, 522, 532, 542)에서 출력되는 메모리 셀 데이터들은 전압 감지 증폭기인 제1 데이터 라인 감지 증폭기(570)에 의해 감지 증폭된다.

<43> 도 6은 본 발명의 제3 실시예에 따른 메모리 장치를 설명하는 도면이다. 이를 참조하면, 메모리 장치(600)는 도 5의 메모리 장치(500)와 비교하여, 제1 데이터 라인 감지 증폭기들(610, 612)과 데이터 패드(DQ1) 사이에, 그리고 제2 데이터 라인 감지 증폭기들(630, 632)과 데이터 패드(DQ5) 사이에 제2 멀티플렉서들(620, 622, 624, 626)을 더 구비한다는 점에서 차이가 있다. 제2 멀티플렉서들(620, 622, 624, 626)은 데이터 패드들(DQ1, DQ5)에서 바라보이는 라인 부하를 줄이기 위하여 사용된다.

<44> 제2 멀티플렉서들(620, 622)은 제1 또는 제2 뱅크 선택 신호(BA12)와 제3 또는 제4 뱅크 선택 신호(BA34)에 응답하여 제1 데이터 라인 감지 증폭기들(610, 612)의 출력을 하단부 데이터 패드(DQ1)로 전달한다. 제2 멀티플렉서들(624, 626)은 제1 또는 제2 뱅크 선택 신호(BA12)와 제3 또는 제4 뱅크 선택 신호(BA34)에 응답하여 제2 데이터 라인 감지 증폭기들(630, 632)의 출력을 상단부 데이터 패드(DQ5)로 전달한다. 제1 데이터 라인 감지 증폭기들(610, 620)은 전압 감지 증폭기로 구성되고, 제2 데이터 라인 감지 증폭기들(630, 632)은 전류 감지 증폭기와 전압 감지 증폭기로 구성된다.

<45> 본 발명의 제2 및 제3 실시예에 의하면, 메모리 셀 데이터가 실리는 데이터 라인의 길이가 상대적으로 긴 상단부 DQ 블록들(510, 52, 530, 540)은 전류 감지 증폭기에 연

결시켜서, 데이터 라인 부하로 인해 센싱 속도가 느려지는 문제점을 센싱 속도가 빠른 전류 감지 증폭기의 사용으로 해결한다. 그리고 데이터 라인의 길이가 상대적으로 짧은 하단부 DQ 블록들(512, 522, 532, 542)은 센싱 속도가 다소 느린 전압 감지 증폭기(550, 552)에 연결시킨다. 이에 따라, 상단부 DQ 블록들(510, 52, 530, 540)과 하단부 DQ 블록들(512, 522, 532, 542)은 데이터 라인 길이에 상관없이 거의 같은 센싱 속도를 갖게 된다.

<46> 그리고, 데이터 라인 감지 증폭기를 전류 소모가 작은 전압 감지 증폭기와 전류 소모가 큰 전류 감지 증폭기를 사용함으로써, 종래의 데이터 라인 감지 증폭기로 전류 소모가 큰 전류 감지 증폭기만을 사용하던 메모리 장치에 비해 소비 전력을 줄일 수 있다.

<47> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<48> 상술한 본 발명의 메모리 장치에 의하면, 데이터 라인의 길이에 따라 데이터 라인 감지 증폭기를 전압 감지 증폭기와 전류 감지 증폭기로 구분하여 사용하여 소비 전력을 줄인다. 그리고 데이터 라인 길이에 상관없이 거의 동일한 센싱 속도를 갖게 된다.

**【특허청구범위】****【청구항 1】**

복수개의 메모리 셀들이 배열되고, 상기 메모리 셀들의 데이터들이 데이터 라인들로 출력되는 제1 및 제2 뱅크들;

상기 제1 뱅크의 데이터 라인에 연결되고, 상기 메모리 셀 데이터를 감지 증폭하여 데이터 패드로 출력하는 전압 감지 증폭기; 및

상기 제2 뱅크의 데이터 라인에 연결되고, 상기 메모리 셀 데이터를 감지 증폭하여 상기 데이터 패드로 출력하는 전류 감지 증폭기를 구비하고,

상기 제2 뱅크의 데이터 라인 길이가 상기 제1 뱅크의 데이터 라인 길이보다 긴 것을 특징으로 하는 메모리 장치.

**【청구항 2】**

제1항에 있어서, 상기 메모리 장치는

상기 전류 감지 증폭기의 출력을 감지 증폭하는 전압 감지 증폭기를 더 구비하는 것을 특징으로 하는 메모리 장치.

**【청구항 3】**

복수개의 메모리 셀들이 배열되고, 상기 메모리 셀들의 데이터가 제1 데이터 라인들을 통해 각각 출력되는 제1 내지 제4 뱅크;

상기 뱅크들을 선택하는 선택 신호들에 응답하여, 해당 뱅크들의 상기 제1 데이터 라인들을 제2 데이터 라인들로 연결시키는 제1 멀티플렉서들;

상기 제2 데이터 라인과 연결되고, 상기 제2 데이터 라인으로 전달된 상기 제1 및 제3 बैं크의 상기 메모리 셀 데이터들을 감지 증폭하여 데이터 패드로 출력하는 전압 감지 증폭기; 및

상기 제2 데이터 라인과 연결되고, 상기 제2 데이터 라인으로 전달된 상기 제2 및 제4 बैं크의 상기 메모리 셀 데이터를 감지 증폭하여 상기 데이터 패드로 출력하는 전류 감지 증폭기를 구비하고

상기 제2 및 제4 बैं크의 상기 제1 데이터 라인 길이가 상기 제1 및 제3 बैं크의 상기 제1 데이터 라인 길이 보다 긴 것을 특징으로 하는 멀티 बैं크 메모리 장치.

#### 【청구항 4】

제3항에 있어서, 상기 멀티 बैं크 메모리 장치는

상기 전류 감지 증폭기와 연결되고 상기 전류 감지 증폭기 출력을 감지 증폭하는 전압 감지 증폭기를 더 구비하는 것을 특징으로 하는 멀티 बैं크 메모리 장치.

#### 【청구항 5】

제3항에 있어서, 상기 멀티 बैं크 메모리 장치는

상기 전압 감지 증폭기와 상기 데이터 패드 사이에, 그리고 상기 전류 감지 증폭기와 상기 데이터 패드 사이에 각각 연결되는 제2 멀티플렉서들을 구비하고,

상기 제2 멀티플렉서들은 상기 제1 또는 제3 बैं크를 선택하는 신호와 상기 제2 또는 제4 बैं크를 선택하는 신호에 응답하여, 상기 전압 감지 증폭기와 상기 전류 감지 증폭기 출력을 상기 데이터 패드로 선택적으로 전달하는 것을 특징으로 하는 멀티 बैं크 메모리 장치.

**【청구항 6】**

멀티 뱅크 메모리 장치에 있어서,

상기 멀티 뱅크 메모리 장치의 중앙부에 배열되는 상단부 및 하단부 데이터 패드들;

복수개의 메모리 셀들이 배열된 메모리 블록이 상단부 및 하단부 메모리 블록으로 나뉘어지고, 상기 상단부 및 하단부 메모리 블록의 상기 메모리 셀 데이터들이 상단부 및 하단부 데이터 라인들을 통해 각각 출력되는 제1 내지 제4 뱅크;

상기 뱅크들을 선택하는 선택 신호들에 응답하여, 해당 뱅크들의 상기 상단부 데이터 라인들을 제1 데이터 라인들로, 그리고 상기 하단부 데이터 라인들을 제2 데이터 라인으로 연결시키는 제1 멀티플렉서들;

상기 제1 데이터 라인과 연결되고, 상기 제1 데이터 라인으로 전달된 상기 상단부 메모리 블록의 상기 메모리 셀 데이터들을 감지 증폭하여 상기 상단부 데이터 패드로 출력하는 전압 감지 증폭기; 및

상기 제2 데이터 라인과 연결되고, 상기 제2 데이터 라인으로 전달된 상기 하단부 메모리 블록의 상기 메모리 셀 데이터를 감지 증폭하여 상기 하단부 데이터 패드로 출력하는 전류 감지 증폭기를 구비하고

상기 상단부 데이터 라인 길이가 상기 하단부 데이터 라인 길이 보다 긴 것을 특징으로 하는 멀티 뱅크 메모리 장치.

**【청구항 7】**

제6항에 있어서, 상기 멀티 뱅크 메모리 장치는

상기 전류 감지 증폭기와 연결되고 상기 전류 감지 증폭기 출력을 감지 증폭하는 전압 감지 증폭기를 더 구비하는 것을 특징으로 하는 멀티 뱅크 메모리 장치.

**【청구항 8】**

멀티 뱅크 메모리 장치에 있어서,

상기 멀티 뱅크 메모리 장치의 중앙부에 배열되는 상단부 및 하단부 데이터 패드들;

복수개의 메모리 셀들이 배열된 메모리 블록이 상단부 및 하단부 메모리 블록으로 나뉘어지고, 상기 상단부 및 하단부 메모리 블록의 상기 메모리 셀 데이터들이 상단부 및 하단부 데이터 라인들을 통해 각각 출력되는 제1 내지 제4 뱅크들;

상기 뱅크들을 선택하는 선택 신호들에 응답하여, 해당 뱅크들의 상기 상단부 데이터 라인들을 제1 데이터 라인들로, 그리고 상기 하단부 데이터 라인들을 제2 데이터 라인으로 연결시키는 제1 멀티플렉서들;

상기 제1 데이터 라인과 연결되고, 상기 제1 데이터 라인으로 전달된 상기 상단부 메모리 블록의 상기 메모리 셀 데이터들을 감지 증폭하는 전압 감지 증폭기들;

상기 제2 데이터 라인과 연결되고, 상기 제2 데이터 라인으로 전달된 상기 하단부 메모리 블록의 상기 메모리 셀 데이터를 감지 증폭하는 전류 감지 증폭기들; 및

상기 전압 감지 증폭기들과 상기 하단부 데이터 패드 사이에, 그리고 상기 전류 감지 증폭기들과 상기 상단부 데이터 패드 사이에 연결되고, 상기 제1 또는 제2 뱅크 선택 신호에 응답하여 상기 전압 감지 증폭기 출력을 상기 하단부 데이터 패드로 전송하고,



상기 제3 또는 제4 뱅크 선택 신호에 응답하여 상기 전류 감지 증폭기 출력을 상기 상단부 데이터 패드로 전송하는 제2 멀티플렉서들을 구비하고

상기 상단부 데이터 라인 길이가 상기 하단부 데이터 라인 길이 보다 긴 것을 특징으로 하는 멀티 뱅크 메모리 장치.

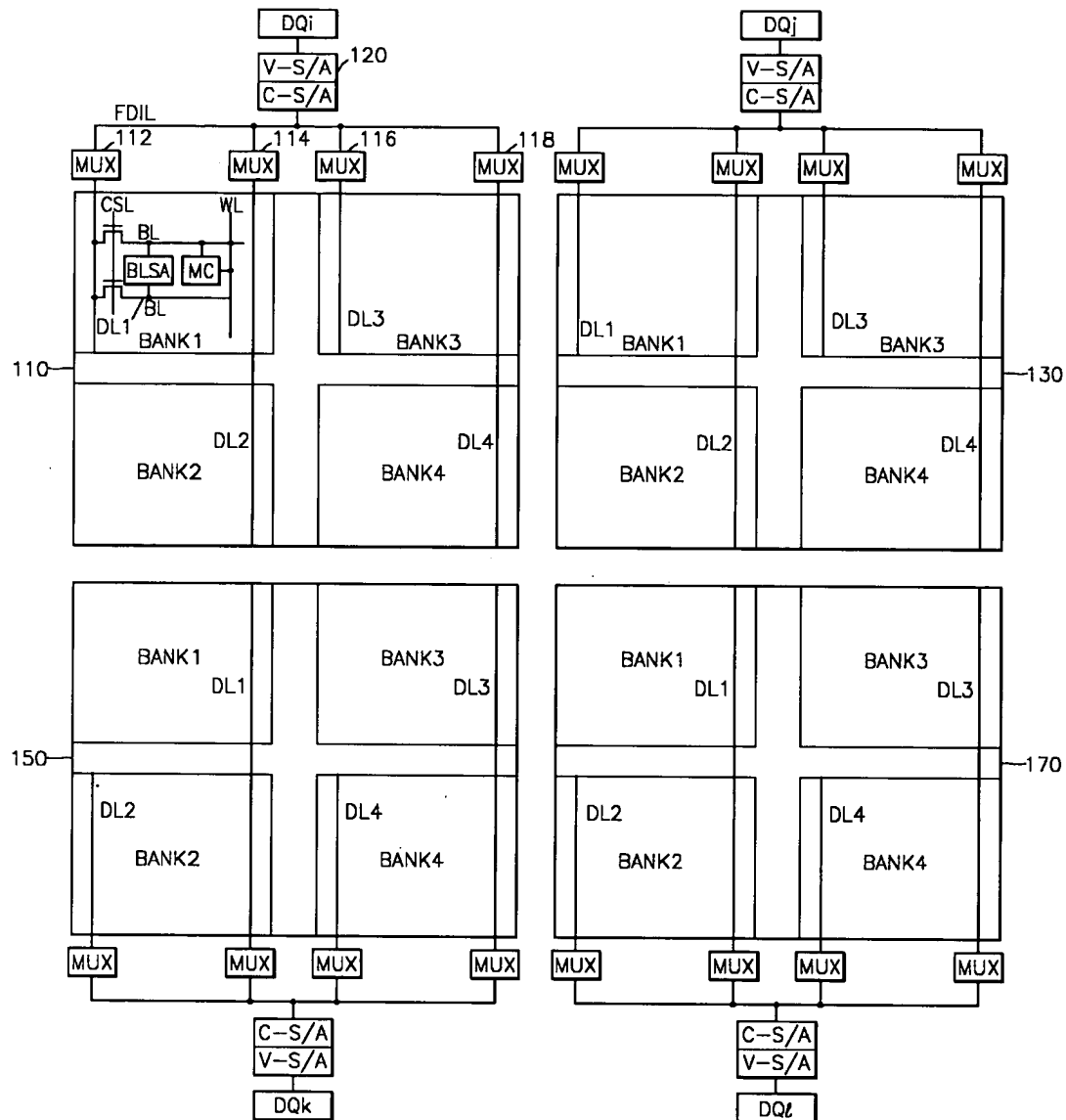
**【청구항 9】**

제8항에 있어서, 상기 멀티 뱅크 메모리 장치는

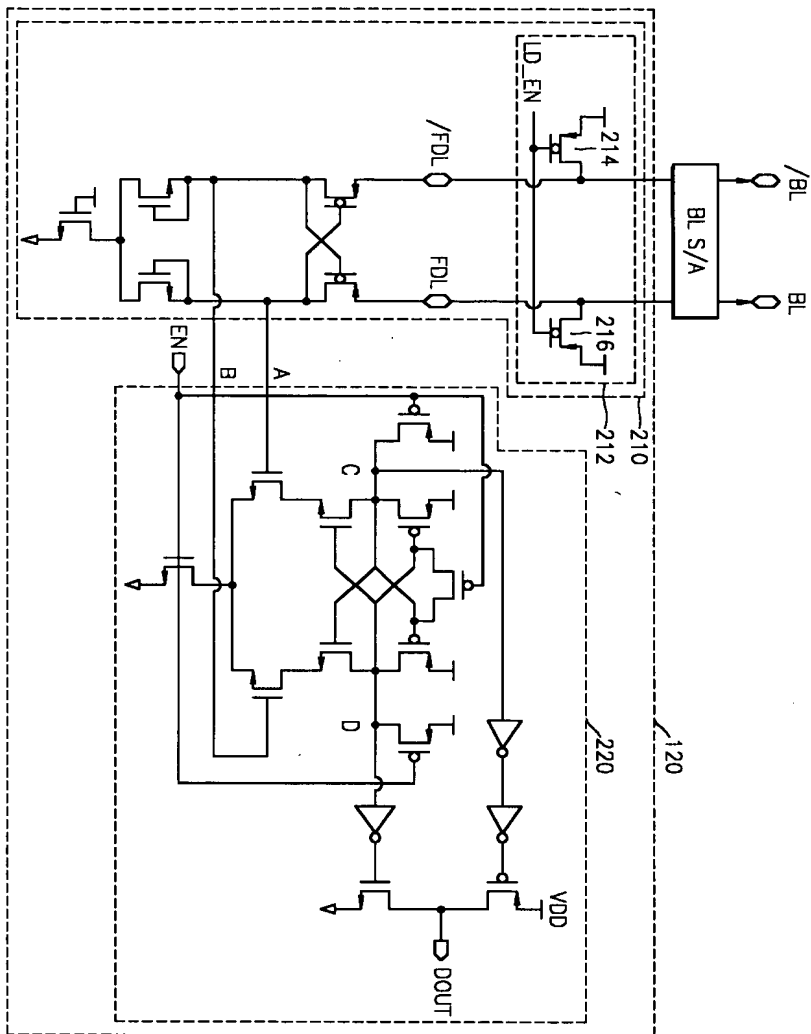
상기 전류 감지 증폭기와 연결되고 상기 전류 감지 증폭기 출력을 감지 증폭하는 전압 감지 증폭기를 더 구비하는 것을 특징으로 하는 멀티 뱅크 메모리 장치.

【도면】

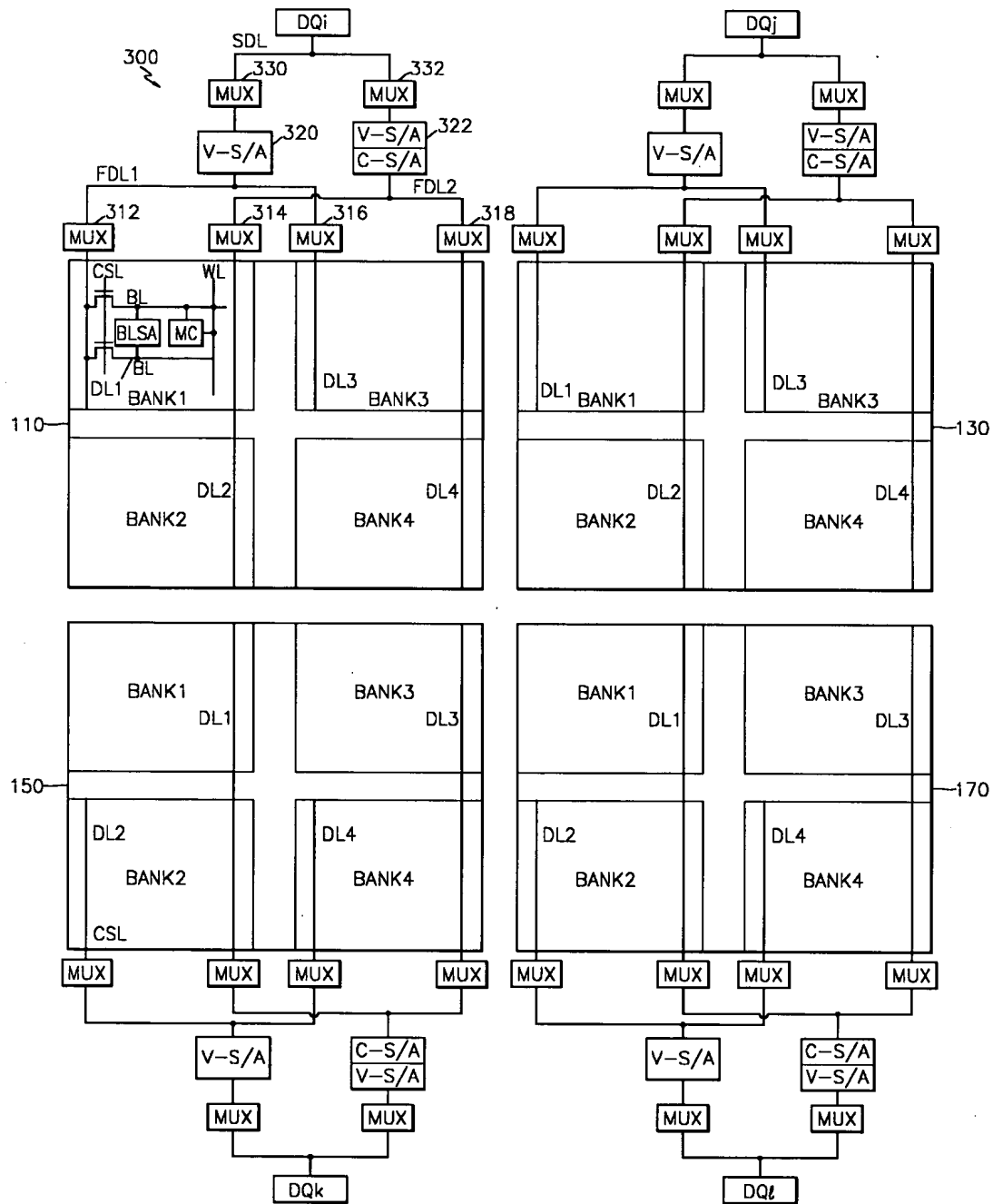
【도 1】



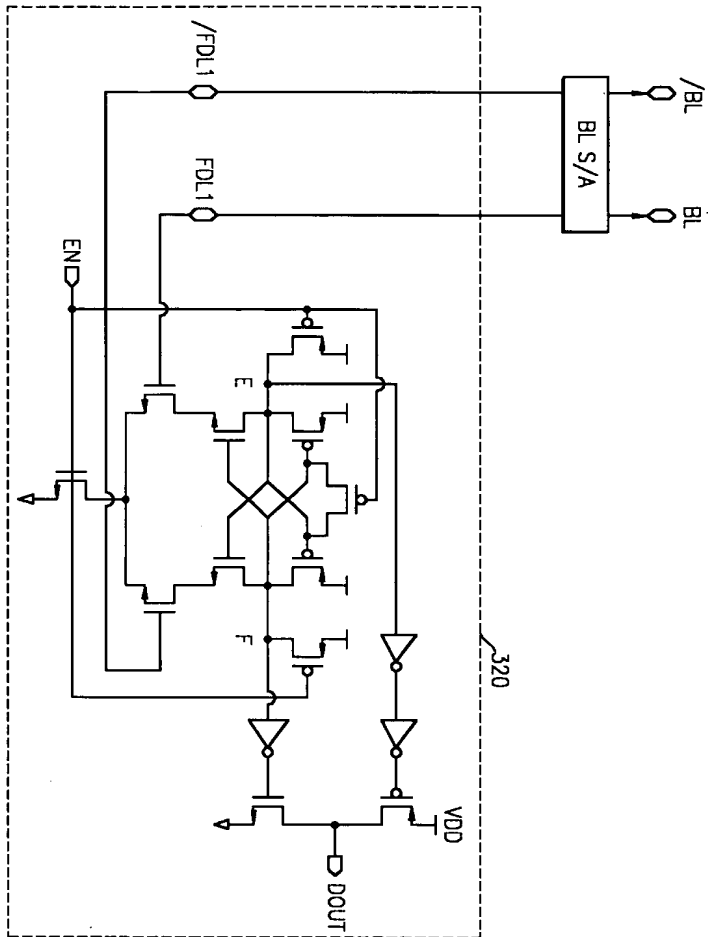
【도 2】



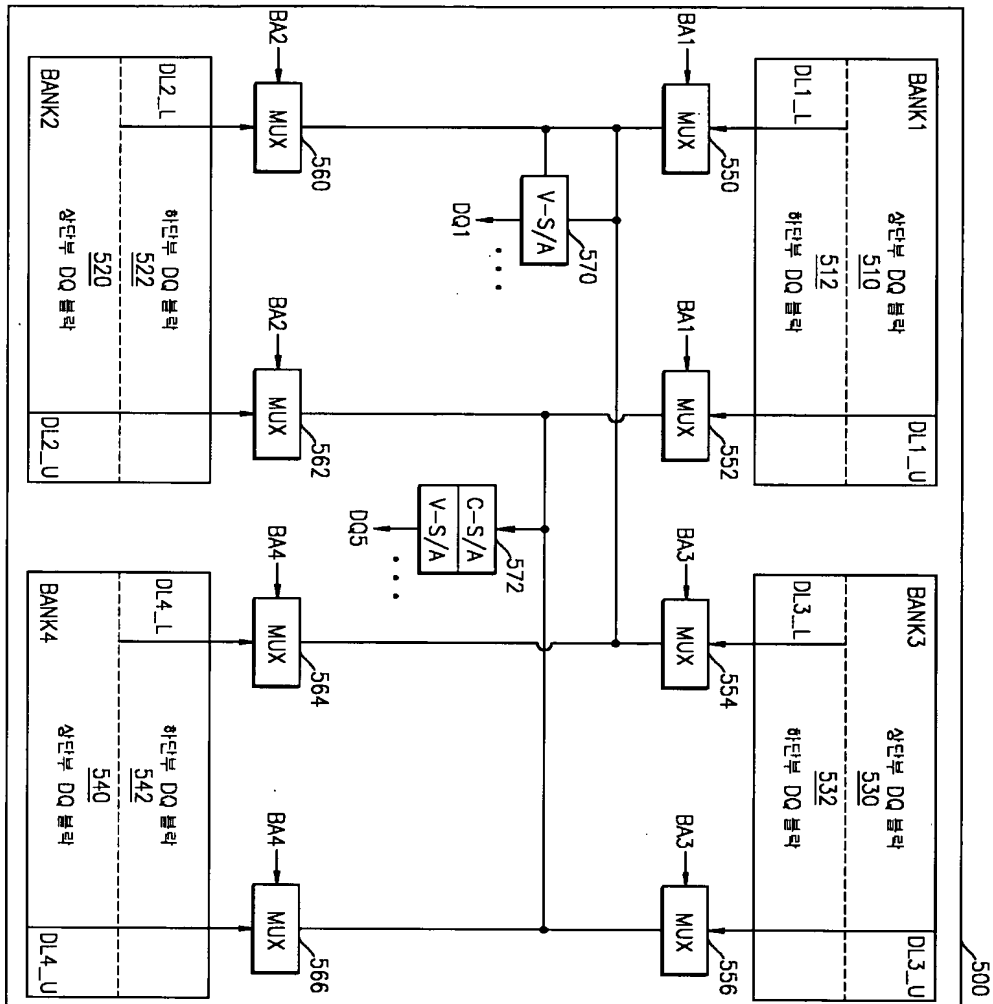
【도 3】



【도 4】



【도 5】





【도 6】

